

Attorney Docket No. 5649-1279

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seung Duk Baek et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: WAFER-LEVEL ELECTRONIC MODULES WITH INTEGRAL CONNECTOR  
CONTACTS AND METHODS OF FABRICATING THE SAME

Date: April 14, 2004

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

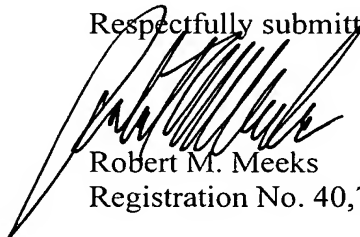
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2003-88055, filed December 5, 2003.

Respectfully submitted,




Robert M. Meeks  
Registration No. 40,723

**USPTO Customer No. 20792**  
Myers Bigel Sibley & Sajovec  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: 919/854-1400  
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381441397 US  
Date of Deposit: April 14, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs

(Translation)

**KOREAN INTELLECTUAL PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number: 10-2003-0088055

Date of Application: December 5, 2003

Applicant(s): Samsung Electronics Co., Ltd.

Dated this 2nd day of April, 2004

Commissioner (Seal)



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0088055  
Application Number

출 원 년 월 일 : 2003년 12월 05일  
Date of Application DEC 05, 2003

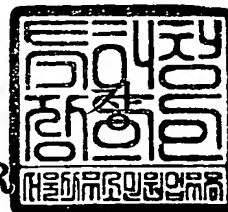
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 04 월 02 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.12.05
【발명의 명칭】	웨이퍼 레벨 모듈 및 그의 제조 방법
【발명의 영문명칭】	Wafer level module and fabricating method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【대리인】	
【성명】	김동진
【대리인코드】	9-1999-000041-4
【포괄위임등록번호】	2002-007585-8
【발명자】	
【성명의 국문표기】	백승덕
【성명의 영문표기】	BAEK, Seung Duk
【주민등록번호】	771207-1449634
【우편번호】	336-711
【주소】	충청남도 아산시 배방면 삼성반도체온양사업장 산74번지
【국적】	KR
【발명자】	
【성명의 국문표기】	장동현
【성명의 영문표기】	JANG, Dong Hyeon
【주민등록번호】	650502-1273311
【우편번호】	442-736
【주소】	경기도 수원시 팔달구 영통동 살구골7단지아파트 706동 904호
【국적】	KR

## 【발명자】

【성명의 국문표기】 김구성  
 【성명의 영문표기】 KIM,Gu Sung  
 【주민등록번호】 650109-1047614  
 【우편번호】 463-010  
 【주소】 경기도 성남시 분당구 정자동 정든마을 103-502  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 이강욱  
 【성명의 영문표기】 LEE,Kang Wook  
 【주민등록번호】 680308-1011615  
 【우편번호】 442-470  
 【주소】 경기도 수원시 팔달구 영통동 968번지 신명아파트 631-501  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 정재식  
 【성명의 영문표기】 CHUNG,Jae. Sik  
 【주민등록번호】 741117-1123113  
 【우편번호】 336-711  
 【주소】 충청남도 아산시 배방면 삼성반도체온양사업장 산74번지  
 【국적】 KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 정상빈 (인) 대리인  
 김동진 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	13	면	13,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	35	항	1,229,000	원
【합계】			1,271,000	원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

웨이퍼 레벨 모듈 및 그의 제조방법이 제공된다. 웨이퍼 레벨 모듈은 웨이퍼 상에 형성된 전자 소자 칩들 상에 직접 형성되어 전자 소자 칩들을 상호 일체로 접속하기 위한 재배선 및 전자 소자 칩들 상에 직접 형성되어 재배선과 전기적으로 연결되는 외부 접속 단자를 포함한다.

**【대표도】**

도 3

**【색인어】**

웨이퍼 레벨 모듈, 재배선, 수동소자

## 【명세서】

## 【발명의 명칭】

웨이퍼 레벨 모듈 및 그의 제조 방법{Wafer level module and fabricating method thereof}

## 【도면의 간단한 설명】

도 1은 웨이퍼 레벨 칩 스케일 패키지를 적용한 종래의 전자 소자 칩 모듈의 평면도이다.

도 2는 도 1의 II-II' 선에 따라 자른 단면도이다.

도 3은 본 발명의 제1 실시예에 따른 웨이퍼 레벨 모듈의 평면도이다.

도 4는 도 3의 IV-IV'선에 따라 자른 단면도이다.

도 5는 도 3의 V-V'선에 따라 자른 단면도이다.

도 6은 본 발명의 제2 실시예에 따른 웨이퍼 레벨 모듈의 단면도이다.

도 7a는 본 발명의 제3 실시예에 따른 웨이퍼 레벨 모듈의 단면도이고, 도 7b는 도 7a에 내장된 로우 패스 필터의 회로도이다.

도 8은 본 발명의 제1 실시예에 따른 웨이퍼 레벨 모듈 제조 방법의 흐름도이다.

도 9a 내지 도 9c는 도 8의 각 제조 단계별 공정 중간 구조물들의 단면도들이다.

도 10은 본 발명의 제2 실시예에 따른 웨이퍼 레벨 모듈 제조 방법의 흐름도이다.

(도면의 주요 부분에 대한 부호의 설명)

100: 웨이퍼    100\_SL: 스크라이브 라인

110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h: 전자 소자 칩들

200: 재배선    230\_ET: 외부 접속 단자

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <15> 본 발명은 전자 소자 칩들의 모듈에 관한 것으로, 특히 모듈의 구성이 웨이퍼 레벨에서 실질적으로 완성되는 웨이퍼 레벨 모듈에 관한 것이다.
- <16> 최근들어, 이동통신용 제품 및 컴퓨터 관련 제품, 예를 들어, PDA, 휴대 전화, 캠코더, 메모리 카드 등의 시스템과 같이 대용량을 필요로 하며 고속동작을 요하는 시스템의 증가로 인해 칩 스케일 패키지(CSP) 또는 웨이퍼 레벨 칩 스케일 패키지(WLCSP) 등을 사용한 모듈이 널리 사용되고 있다.
- <17> 도 1은 WLCSP를 적용한 종래의 전자 소자 칩 모듈의 평면도이고, 도 2는 도 1의 단면도이다.
- <18> 도 1 및 도 2를 참조하면, 종래 모듈의 경우 인쇄 회로 기판(PCB)(10) 상에 WLCSP된 개별 칩(50)들이 솔더 볼(57)을 통해 PCB(10) 상에 실장된다. WLCSP된 개별 칩(50)은 도 2의 확대도와 같이 칩이 형성된 기판(51) 상에 칩 패드(52)를 노출시키는 패시베이션막(53)을 포함하며, 패시베이션막(53) 상에 칩 패드(52)와 연결되는 배선층(54) 및 배선층(54)과 PCB(10)기판 상에 프린트된 회로 트레이스(circuit trace)(미도시)를 연결하기 위한 솔더 볼(57)을 포함한다. 55는 절연층을 나타낸다.
- <19> 그런데, 도 1 및 도 2에 도시되어 있는 종래 모듈의 경우 WLCSP(50)와 회로 트레이스가 형성된 PCB(10)를 각각 개별적으로 제조하고, 각각의 WLCSP(50)들을 PCB(10)상에 실장하기 위한 공정을 필요로하므로 공정이 복잡하고 제조 비용이 많이 든다.

<20>       또, 전체 모듈의 길이( $l$ ) 및 두께( $t_1+t_2$ )가 커서 경량화되고 박형화되는 전자 제품에 부적합하다. 구체적으로, 도 1에 도시되어 있는 바와 같이, PCB(10)내에는 복수개의 WLCSP(50)들을 연결하고 이들을 외부 접속단자(12)와 연결하기 위한 회로 트레이스(미도시)들이 형성되어야 하므로, PCB(10)의 크기 축소에는 일정한 한계가 있다. 또, 도 2에 도시되어 있는 바와 같이, 개별적인 WLCSP(50)의 두께( $t_1$ )와 PCB(10)의 두께( $t_2$ )로 인해 전체 모듈의 두께( $t_1+t_2$ )가 두껍다. 그리고, 모듈에서 발생하는 신호의 왜곡 문제를 해결하기 위하여 인덕터, 커패시터, 저항 등의 전자 소자 부품(70)들을 PCB(10) 상에 실장하기 때문에 공정이 복잡할 뿐만 아니라 모듈의 크기 및 두께 감소에 역행하는 결과가 된다.

<21>       이와 같은 문제를 해결하기 위하여, 대한민국공개특허공보 제2001-0077826호에는 "재배선층에 의해 상호 접속된 복수의 반도체 소자를 가지는 반도체 장치"가 개시되어 있다. 상기 공개특허공보는 웨이퍼 상태에서 복수의 칩에 대하여 재배선을 한 후, 이를 솔더 볼을 이용하여 PCB상에 실장한다.

<22>       상기 특허에 따르면, 각 칩마다 필요로 하는 실장 공정이 감소하고, 각 칩들을 전기적으로 연결하기 위하여 PCB(10)상에 형성되는 회로 트레이스를 감소시킬 수 있어서 모듈의 크기를 어느정도 줄일 수 있는 효과가 있다.

<23>       그러나, 상기 특허에 따른 모듈의 경우, 여전히 칩의 두께(도 1의  $t_1$  참고)와 PCB(도 1의  $t_2$  참고)의 두께로 인해 두께 감소에 한계가 있다. 그리고, 칩과 PCB(printed circuit board)사이의 열 팽창 계수(CTE)의 불일치(mismatch)로 인해 접합부에서의 솔더볼에 기계적인 스트레스가 가해짐으로써 솔더볼에 크랙이 발생하거나 솔더볼이 분리되어 모듈의 신뢰성이 담보되지 못한다. 또, PCB 상에 솔더 볼을 사용하여 재배선된 복수개의 칩을 실장하므로, 환경적인 관점에서 요구되고 있는 납이 없는 패키지(solderless package)를 만족시킬 수 없다.

**【발명이 이루고자 하는 기술적 과제】**

- <24> 본 발명이 이루고자 하는 기술적 과제는 단순화된 공정으로 용이하게 제조할 수 있는 웨이퍼 레벨 모듈을 제공하고자 하는 것이다.
- <25> 본 발명이 이루고자 하는 다른 기술적 과제는 소형화 및 경박화가 가능한 웨이퍼 레벨 모듈을 제공하고자 하는 것이다.
- <26> 본 발명이 이루고자 하는 또 다른 기술적 과제는 신뢰성이 향상된 웨이퍼 레벨 모듈을 제공하고자 하는 것이다.
- <27> 본 발명이 이루고자 하는 또 다른 기술적 과제는 환경친화적인 웨이퍼 레벨 모듈을 제공하고자 하는 것이다.
- <28> 본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 웨이퍼 레벨 모듈의 제조에 적합한 제조 방법을 제공하고자 하는 것이다.

**【발명의 구성 및 작용】**

- <29> 상기 기술적 과제들을 달성하기 위한 본 발명의 일 실시예에 따른 웨이퍼 레벨 모듈은 전면과 후면을 구비하는 웨이퍼, 상기 웨이퍼의 상기 전면에 형성된 복수의 전자 소자 칩들, 상기 복수의 전자 소자 칩들 상에 직접 형성되어 상기 복수의 전자 소자들을 상호 일체로 접속하기 위한 재배선, 및 상기 전자 소자 칩들 상에 직접 형성되어 상기 재배선과 전기적으로 연결되는 외부 접속 단자를 포함한다.
- <30> 상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 웨이퍼 레벨 모듈의 제조 방법은 전면과 후면을 구비하며, 상기 전면에 복수의 전자 소자 칩들을 구비하는 웨이퍼를 제공하는 단계, 및 상기 복수의 전자 소자 칩들 상에 직접 상기 복수의 전자 소자 칩들

을 상호 일체로 접속하기 위한 재배선과 상기 재배선과 전기적으로 연결되는 외부 접속 단자를 함께 형성하는 단계를 포함한다.

<31> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<32> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<33> 본 발명의 모듈은 웨이퍼 레벨에서 모듈화가 실질적으로 완료되어 PCB의 필요성을 없앨 것이다. 나아가 본 발명의 웨이퍼 레벨 모듈은 수십  $\mu\text{m}$  폭의 재배선에 의해 각 전자 소자 칩들을 상호 일체로 접속하여 소형화되고 경박화될 것이다. 또, 본 발명의 웨이퍼 레벨 모듈은 PCB의 필요성을 없앴으로써 신뢰성이 증대되고 납을 포함하지 않는 환경친화적인 모듈이 될 것이다.

<34> 본 발명의 웨이퍼 레벨 모듈에 적용되는 전자 소자 칩은 DRAM, SRAM, 플래쉬 메모리 등의 고집적 반도체 메모리 칩, MEMS(Micro Electro Mechanical Systems) 칩, 광전자(optoelectronic) 소자 칩, 또는 CPU, DSP 등의 프로세서 등을 포함한다. 따라서, 본 발명의 웨이퍼 레벨 모듈은 동일 종류의 전자 소자 칩들로만 구성될 수도 있고, 하나의 완전한 기능을 제공하기 위해서 필요한 서로 다른 종류의 전자 소자 칩들로 구성될 수도 있다.

- <35> 그리고, 본 발명의 웨이퍼 레벨 모듈을 구성하는 웨이퍼는 실리콘 웨이퍼, SOI(Silicon On Insulator) 웨이퍼, 갈륨 비소 웨이퍼, 실리콘 게르마늄 웨이퍼, 세라믹 웨이퍼, 석영 웨이퍼 등이 있으나, 이는 예시적인 것에 불과하다.
- <36> 이하, 도 3 내지 도 5를 참조하여 본 발명의 제1 실시예에 따른 웨이퍼 레벨 모듈에 대하여 설명한다. 도 3은 본 발명의 제1 실시예에 따른 웨이퍼 레벨 모듈의 평면도이고, 도 4는 도 3의 IV-IV'선에 따라 자른 단면도이고, 도 5는 도 3의 V-V'선에 따라 자른 단면도이다.
- <37> 도 3 내지 도 5를 참조하면, 본 발명에 따른 웨이퍼 레벨 모듈(WLM)은 웨이퍼(100), 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h), 재배선(200) 및 외부 접속 단자(230\_ET)로 구성된다.
- <38> 웨이퍼(100)는 전면(100\_FS)과 후면(100\_BS)을 구비하며 전면(100\_FS)에 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)이 형성되어 있다.
- <39> 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)은 칩 패드(120)를 노출시키는 패시베이션막(122)을 구비한다.
- <40> 재배선(200)은 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)의 각 칩 패드(120)들과 연결되어 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)을 상호 일체로 접속한다. 따라서 재배선(200)은 스크라이브 라인(100\_SL)을 가로질러 웨이퍼(100) 상에 직접 형성되어 있다. 재배선(200)은 도 5에 도시되어 있는 바와 같이, 다층 배선, 즉, 하층, 중층, 상층 재배선(210, 220, 230)으로 구성될 수 있다. 이 경우 하층, 중층, 상층 재배선(210, 220, 230)은 각각 접지 라인, 신호 라인 및 파워 라인의 기능을 담당할 수 있다. 그러나, 재배선(200)은 3층 이하 또는 3층 이상으로 다양하게 변형될 수 있음은 물론이다. 하

층, 중층, 상층 재배선(210, 220, 230)은 제1 내지 제3 절연층(205, 215, 225)에 의해 서로 절연되고 제1 내지 제3 절연층(205, 215, 225) 내에 형성된 콘택홀들을 통해 대응하는 칩 패드(120)와 연결된다. 제1 내지 제3 절연층(205, 215, 225)은 웨이퍼(100)와 열 팽창 계수가 동일 또는 유사한 물질로 형성되는 것이 웨이퍼 레벨 모듈의 신뢰성을 증대시킬 수 있다. 열 팽창 계수가 유사하다는 것은 웨이퍼(100)와 제1 내지 제3 절연층(205, 215, 225)간의 열 팽창 계수의 불일치로 인하여 모듈에 스트레스가 가해지지 않을 정도의 차이를 가지는 것을 의미한다.

<41> 도 4에 자세히 도시되어 있는 바와 같이, 외부 접속 단자(230\_ET)는 상층 재배선(230)과 동일 배선으로 형성된다. 외부 접속 단자(230\_ET)를 통해 웨이퍼 레벨 모듈(WLM)이 마더 보드 등과 접속한다.

<42> 도 4 및 도 5에 도시되어 있는 바와 같이, 재배선(200)은 보호막(300)에 의해 보호되는 것이 바람직하다. 보호막(300)은 재배선(200)을 완전히 덮고 외부 접속 단자(230\_ET)만을 노출시킨다.

<43> 나아가, 웨이퍼 레벨 모듈(WLM)은 재배선(200)의 상부에 상면 보호재(320\_FS)와 웨이퍼(100)의 후면(100\_BS)에 후면 보호재(320\_BS)를 더 구비하여 외부 충격으로부터 보호하는 것이 바람직하다. 상면 보호재(320\_FS)를 구비할 경우에는 보호막(300)의 형성을 생략할 수도 있다. 또, 상면 보호재(320\_FS)와 후면 보호재(320\_BS)는 웨이퍼 레벨 모듈(WLM)에서 발생하는 열을 방출시키기 위한 히트 싱크로도 기능하는 것이 더욱 바람직하다. 따라서, 상면 및 후면 보호재(320\_FS, 320\_BS)는 금속판, 히트 싱크 기능을 가진 폴리머등으로 구성된다.

<44> 상면 및 후면 보호재(320\_FS, 320\_BS)가 금속판으로 구성된 경우에는 상면 및 후면 보호재(320\_FS, 320\_BS)는 열 테이프(310\_FS, 310\_BS)등의 부착제에 의해 웨이퍼 레벨 모듈(WLM)에 부착된다. 또, 금속판을 PVD로 형성한 후, 패터닝하여 외부 접속 단자(230\_ET)만을 노출시키

는 상면 보호재(320\_FS)를 형성하거나, 플레이팅으로 상면 보호재(320\_FS)를 형성할 수도 있다. 후면 보호재(320\_BS) 또한 PVD 또는 플레이팅으로 형성할 수 있다.

<45> 본 발명의 제1 실시예에 따른 웨이퍼 레벨 모듈(WLM)에서는 각 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)이 스크라이브 라인(100\_SL)을 가로질러 웨이퍼(100) 상에 직접 형성된 수십  $\mu\text{m}$  정도의 매우 작은 선폭의 재배선(200)에 의해 상호 접속된다. 따라서, 종래와 같이 100 내지 수백  $\mu\text{m}$  정도의 큰 선폭의 회로 트레이스에 의해 그 위에 실장되는 전자 소자 칩들을 연결하며 소정 두께(도 1의  $t_2$ )를 가지는 PCB 기판이 필요없다. 따라서, 웨이퍼 레벨의 모듈(WLM)의 길이(L) 및 두께(T)가 종래의 모듈의 길이(도 1의 l) 및 두께(도 2의  $t_1 + t_2$ ) 보다 작다. 따라서, 모듈의 소형화 및 경박화가 가능하다. 또, 웨이퍼 레벨 모듈(WLM)은 웨이퍼(100)와 열 팽창 계수가 다른 PCB 기판이 필요없으므로 신뢰성이 증대된다. 그리고, 웨이퍼 레벨 모듈(WLM)은 PCB와의 접속을 위한 솔더 볼 등이 필요없으므로 납이 사용되지 않은 환경친화적인 모듈이다.

<46> 도 6은 본 발명의 제2 실시예에 따른 웨이퍼 레벨 모듈(WLM')의 단면도이다.

<47> 제2 실시예에 따른 웨이퍼 레벨 모듈(WLM')은 재배선(200) 상에 표면 실장된 전자 소자 부품(400)을 더 포함한다는 점에 있어서 제1 실시예에 따른 웨이퍼 레벨 모듈(WLM)과 차이가 있다. 전자 소자 부품(400)으로는 커패시터, 인덕터, 저항 등의 개별적인 수동 소자가 사용될 수 있다. 전자 소자 부품(400)은 랜드(405)상에 형성된 솔더 볼, 솔더 페이스트 등의 접속부(410)에 의해 표면 실장된다.

<48> 랜드(405)는 절연층(235) 내에 형성된 콘택홀(240)을 통해 노출된 최상층 재배선(230)으로 구성된다. 경우에 따라서는 이방성 도전 필름 등을 사용하여 전자 소자 부품(400)을 표면 실장할 수도 있다.

- <49> 이와 같이 수동 소자 등의 전자 소자 부품(400)을 웨이퍼 레벨 모듈 상에 표면 실장함으로써 PCB 기판 상에 수동 소자를 형성하는 종래의 모듈(도 1 참조)에 비해 모듈의 소형화를 추구할 수 있다. 경우에 따라서는 개별적인 전자 소자 부품(400)을 연결하여 로우 패스 필터 등의 회로를 구성할 수도 있음은 물론이다.
- <50> 도 7a는 본 발명의 제3 실시예에 따른 웨이퍼 레벨 모듈(WLM")의 단면도이고, 도 7b는 도 7a에 내장된 로우 패스 필터의 회로도이다.
- <51> 제3 실시예에 따른 웨이퍼 레벨 모듈(WLM")은 수동 소자 등의 전자 소자 부품이 모듈 내에 내장되어(embedded) 있다는 점에 있어서, 제1 실시예에 따른 웨이퍼 레벨 모듈(WLM)과 차이가 있다.
- <52> 도 7a에 도시되어 있는 바와 같이, 수동 소자는 재배선(200)을 구성하는 하층, 중층, 상층 재배선(210, 220, 230)과 동시에 형성되어 내장된 커패시터(500a), 인덕터(500b) 또는 저항(미도시)일 수 있다.
- <53> 커패시터(500a)는 하부 전극(210)과 상부 전극(220)과 그 사이에 개재된 제2 절연층(215)으로 구성된다. 커패시턴스를 증가시키기 위해서 전극(210, 220) 사이에 개재되는 부분의 제2 절연층(215)만을 유전율이 큰 유전체로 대체하여 형성할 수도 있다. 각 전극(210, 220)에는 제2 및 제3 절연층(215, 225) 내에 형성된 연결부(219)와 제3 절연층(225) 내에 형성된 연결부(227)를 통해 상층 재배선(230)이 연결된다. 상층 재배선(230)을 통해 전기적인 신호가 입,출력되면서 커패시터(500a)가 완성된다. 커패시터의 전극을 구성하는 재배선층의 종류는 각 재배선층의 기능에 따라 다양하게 변형될 수 있다.

<54> 인덕터(500b)는 제1 인덕터 패턴(210)과 제2 인덕터 패턴(220)이 지그재그형으로 연결되어 구성된다. 제1 인덕터 패턴(210)과 제2 인덕터 패턴(220)은 제2 절연층(215) 내에 형성된 연결부(217)를 통해 지그재그형으로 연결된다. 제1 및 제2 인덕터 패턴(210, 220)에는 제2 및 제3 절연층(215, 225) 내에 형성된 연결부(219)와 제3 절연층(225) 내에 형성된 연결부(227)를 통해 상층 재배선(230)이 연결된다. 상층 재배선(230)을 통해 전기적인 신호가 입,출력되면서 인덕터(500b)가 완성된다. 도면에서 연결부(219, 227)은 콘택 플러그 형태로 도시되어 있으나 중층 또는 상층 재배선(220, 230)이 직접 콘택홀을 매립함으로써 전기적인 연결이 이루어질 수도 있다.

<55> 커패시터(500a) 및 인덕터(500b) 그리고 저항(미도시)은 개별적인 수동 소자로 내장될 수도 있고, 도 7b와 같은 로우 패스 필터를 형성하여 웨이퍼 레벨 모듈(WLM) 내에서 발생하는 원하지 않는 고주파 성분을 효과적으로 제거할 수도 있다. 저항(500c)은 재배선층들(210, 220, 230)의 특정 영역의 선풍을 감소시키는 방법 등을 사용하여 용이하게 형성할 수 있다.

<56> 제3 실시예에서는 내장 수동소자 또는 이들로 구성된 회로들이 재배선(200) 내에 형성되는 경우를 예시하였으나, 재배선(200) 상에 수동소자 또는 이들로 구성된 회로들이 재배선(200) 형성 공정과 동일한 공정에 의해 형성될 수 있음은 물론이다.

<57> 이하, 도 8 내지 도 9c를 참조하여 본 발명의 제1 실시예에 따른 웨이퍼 레벨 모듈(WLM)의 제조 방법을 설명한다. 도 8은 제조 방법의 흐름도이고 도 9a 내지 도 9c는 각 제조 단계별 공정 중간 구조물들의 단면도들이다.

<58> 도 8 및 도 9a를 참조하면, 먼저, 패시베이션 공정까지 완료된 웨이퍼를 제공한다(S1). 웨이퍼(100) 상에는 스크라이브 라인들(100\_SL)에 의해 구분된 복수개의 전자 소자 칩(c1, c2, c3)들이 형성되어 있다. 이들 전자 소자 칩(c1, c2, c3)들은 동일한 종류의 전자 소자 칩, 예

컨대 메모리 칩일 수도 있고, 각각 메모리 칩, ASIC 칩, 프로세서와 같이 하나의 완전한 기능을 수행하기 위해서 필요한 서로 다른 종류의 전자 소자 칩들일 수도 있다.

<59> 하나의 모듈을 형성하기 위한 칩 어레이는 M×N 칩 어레이로 구성될 수 있다. 예컨대, 8×4의 칩 어레이(A) 또는 4×2의 칩 어레이(B) 등 다양한 형태의 칩 어레이에 대하여 모듈을 형성할 수 있다. 이하, 제조 방법에서는 8×4 칩 어레이(A)를 예로 들어 설명한다. 8×4 칩 어레이(A)를 구성하는 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h) 각각은 패시베이션막(122)에 의해 노출되는 칩 패드(120)를 구비한다.

<60> 도 8 및 도 9b를 참조하면, 칩 패드(120)와 패시베이션막(122)이 형성된 웨이퍼 상에 각 모듈 단위로 재배선(200)을 형성한다(S2). 재배선(200)은 각 모듈 별로 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)을 상호 일체로 접속하기 위하여 형성한다.

<61> 재배선(200)은 적어도 파워 라인, 접지 라인 및 시그날 라인이 서로 다른 재배선층으로 구성되도록 3층 배선으로 형성할 수 있다. 물론 경우에 따라서는 3층 이하 또는 3층 이상의 다층 배선으로 형성할 수도 있다. 이하에서는 재배선(200)을 3층 배선으로 형성하는 경우를 예로 들어 설명한다.

<62> 구체적으로, 패시베이션막(122) 위에 제1 절연층(205)을 형성한 후, 제1 절연층(205) 내에 해당 칩 패드(120)를 노출시키는 콘택홀을 형성한 후, 하층 재배선(210)을 형성한다. 계속해서, 제2 절연층(215), 중층 재배선(220), 제3 절연층(225) 및 상층 재배선(230)을 동일한 방식으로 형성한다.

- <63> 각 재배선층(210, 220, 230)의 선폭은 패시베이션막(122) 하부의 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)의 회로 패턴을 구성하는 배선의 선폭보다 크며, 수 - 수십  $\mu\text{m}$  선폭인 것이 바람직하다.
- <64> 각 재배선층(210, 220, 230)은 금속층을 웨이퍼 전면에서 물리화학증착 또는 화학기상증착법에 의해 형성한 후, 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)의 제조 공정과 동일한 사진 식각 공정을 사용하여 금속층을 패터닝하여 형성할 수 있다.
- <65> 다른 방법으로는, 도전성 페이스트(paste)를 직접 스크린 프린팅한 후, 큐어링해서 각 재배선층(210, 220, 230)을 형성할 수도 있다. 페이스트로는 금속 입자와 결합 수지의 혼합물을 예로 들 수 있다.
- <66> 또 다른 방법으로는 감광성 폴리이미드를 사용하는 전해도금 또는 무전해 도금 방법을 사용하여 각 재배선층(210, 220, 230)을 형성할 수도 있다.
- <67> 각 재배선층(210, 220, 230)은 구리, 알루미늄, 아연, 철, 백금, 코발트, 납, 니켈 또는 이들의 합금 등으로 형성할 수 있다.
- <68> 한편, 상층 재배선층(230) 형성시, 마더 보드와의 소켓 접속을 위한 외부 접속 단자(230\_ET)도 함께 형성한다.
- <69> 제1, 제2, 및 제3 절연층(205, 215, 225)은 낮은 수분 흡수율, 낮은 유전율 및 낮은 열팽창 계수를 가지는 것이 바람직하다. 따라서, BCB(BenzoCycloButens)가 제1, 제2, 및 제3 절연층(205, 215, 225)으로 적합하다. BCB 이외에도 폴리벤젠옥사졸(polybenzoxazole), 폴리이미드, 에폭시 등의 폴리머, 실리콘 질화물, 실리콘 산화물, 실리콘 질화물과 산화물의 혼합물 등의 무기 물질 등이 사용될 수 있다. BCB 또는 폴리머를 사용할 경우에는 스핀-코팅한 후 큐어

링하는 방법에 의해 형성할 수 있다. 폴리머를 사용할 경우, 큐어링시 전자 소자 칩들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)의 열화가 발생하는 것을 방지하기 위해서 저온에서 큐어링이 가능한 폴리머를 사용하는 것이 바람직하다. 무기 물질을 사용할 경우에는 화학 기상 증착법에 의해 제1, 제2, 및 제3 절연층(205, 215, 225)을 형성할 수 있다. 외부로부터 가해지는 물리적 스트레스로부터 모듈을 보호하기 위해서는 HDP-SiO<sub>2</sub>로 제1, 제2, 및 제3 절연층(205, 215, 225)을 형성할 수도 있다.

<70> 도 8 및 도 9c를 참조하면, 재배선(200)이 완성된 웨이퍼(100) 전면(100\_FS)에 제1 보호재(300)를 형성한다(S3). 제1 보호재(300)는 재배선(200)을 보호하기 위해서 형성한다. 제1 보호재(300)는 에폭시 수지 등의 밀봉수지 또는 폴리이미드 등으로 형성할 수 있다. 그 두께는 2-50  $\mu\text{m}$  인 것이 바람직하다. 제1 보호재(300)의 형성 단계(S3)를 점선으로 표시한 이유는 제1 보호재(300)의 형성은 필요에 따라서 생략할 수도 있기 때문이다.

<71> 선택적으로, 제1 보호재(300)의 형성 전에 재배선(200)에 대한 전기적인 테스트 공정을 더 실시할 수도 있다.

<72> 이어서, 모듈 단위로 웨이퍼를 분리한다(S4). 먼저 웨이퍼(100)의 후면(100\_BS)을 갈아서(grinding) 웨이퍼(100)의 두께를 낮춘후, 도 9a에 표시된 바와 같은 모듈 단위(A)로 절단(sawing)한다.

<73> 마지막으로, 최종 보호재를 형성한다(S5). 바람직하기로는 웨이퍼(100)의 전면(100\_FS)과 후면(100\_BS)에 각각 상면 보호재(320\_FS) 및 후면 보호재(320\_BS)를 형성한다(S5). 상면 보호재(320\_FS) 및 후면 보호재(320\_BS)는 웨이퍼 레벨 모듈(WLM)을 외부 충격으로부터 보호하는 기능과 함께 히트 싱크로서의 기능을 수행하는 것이 바람직하다. 따라서, 상면 보호재(320\_FS) 및 후면 보호재(320\_BS)는 금속판, 히트 싱크 기능을 가진 폴리머등으로 형성한다.

상면 및 후면 보호재(320\_FS, 320\_BS)가 금속판으로 구성된 경우에는 상면 및 후면 보호재(320\_FS, 320\_BS)는 열 테이프(310\_FS, 310\_BS)등의 부착제를 사용하여 웨이퍼 레벨 모듈(WLM)에 부착한다.

<74> 도 10은 본 발명의 제2 실시예에 의한 웨이퍼 레벨 모듈(WLM')의 제조 방법의 흐름도이다.

<75> 도 10을 참조하면, 재배선(200)을 형성하는 단계(S2)까지는 제1 실시예에 의한 웨이퍼 레벨 모듈(WLM)의 제조방법과 동일하게 실시한다.

<76> 이어서, 랜드(405)를 형성하고(S3), 전자 소자 부품(400)을 표면실장한다(S4). 랜드(405)는 재배선(200) 상부에 절연층(230)을 형성한 후, 상층 재배선(230)을 노출시키는 콘택홀(240)을 형성함으로써 완성한다. 전자 소자 부품(400)의 표면 실장은 솔더 볼, 솔더 페이스트 등의 접속부(410)를 사용하여 수행한다. 도면에 도시되어 있는 바와 같이 접속부(410) 상면의 형상이 볼록하게 돌출되어 형성될 경우 제1 보호재(300)는 접속부(410)와 전자 소자 부품(400) 사이의 빈 공간을 채울 수 있는 언더 필(fill) 능력이 우수한 물질로 형성하는 것이 바람직하다.

<77> 이후, 제1 보호재 형성 단계(S5), 모듈 단위로 웨이퍼를 분리하는 단계(S6) 및 최종 보호재 형성 단계(S7)는 제1 실시예에 의한 웨이퍼 레벨 모듈(WLM)의 제조 방법과 동일하게 실시한다.

<78> 본 발명의 제3 실시예에 의한 웨이퍼 레벨 모듈(WLM'')의 경우에는 재배선(200) 형성시 수동 소자 등의 전자 소자 부품을 동시에 형성한다는 점에 있어서만 제1 실시예에 의한 웨이퍼 레벨 모듈(WLM)의 제조 방법과 차이가 있다.

<79> 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**【발명의 효과】**

<80> 본 발명에 따른 웨이퍼 레벨 모듈은 PCB를 필요로 하지 않으므로 소형화되고 경박화되며, 납을 포함하지 않기 때문에 환경친화적이며, 신뢰성이 증대된 모듈이다. 또, 본 발명에 따른 웨이퍼 레벨 모듈은 웨이퍼 상에 직접 재배선 및/또는 수동 소자 등이 형성되어 모듈이 완료되므로 제조 공정이 매우 단순하고 경제적이다.

**【특허청구범위】****【청구항 1】**

전면과 후면을 구비하는 웨이퍼;

상기 웨이퍼의 상기 전면에 형성된 복수의 전자 소자 칩들;

상기 복수의 전자 소자 칩들 상에 직접 형성되어 상기 복수의 전자 소자들을 상호 일체로 접속하기 위한 재배선; 및

상기 전자 소자 칩들 상에 직접 형성되어 상기 재배선과 전기적으로 연결되는 외부 접속 단자를 포함하는 웨이퍼 레벨 모듈.

**【청구항 2】**

제1 항에 있어서, 상기 웨이퍼는 상기 전자 소자 칩들을 각각 구분하는 복수의 스크라이브 라인들을 구비하며, 상기 재배선은 상기 스크라이브 라인들을 가로질러 형성되는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 3】**

제1 항에 있어서, 상기 재배선은 다층 배선이고, 상기 다층 배선들은 상기 웨이퍼와 열팽창 계수가 동일 또는 유사한 절연층에 의해 절연되는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 4】**

제1 항에 있어서, 상기 웨이퍼의 상기 전면에 상기 외부 접속 단자만을 노출시키는 상면 보호재를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 5】**

제1 항 또는 제4 항에 있어서, 상기 웨이퍼의 상기 후면에 후면 보호재를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 6】**

제5 항에 있어서, 상기 후면 보호재와 상기 상면 보호재는 각각 금속 또는 폴리머로 구성된 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 7】**

제6 항에 있어서, 상기 금속으로 이루어진 후면 보호재와 상면 보호재는 열 테이프에 의해 부착된 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 8】**

제1 항에 있어서, 상기 재배선 내에 또는 상기 재배선 상에 직접 형성된 개별적인 수동 소자 또는 상기 수동 소자로 이루어진 회로를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 9】**

제1 항에 있어서, 상기 재배선의 최상층으로 이루어진 랜드에 표면 실장된 개별적인 수동 소자 또는 상기 수동 소자로 이루어진 회로를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 10】**

제1 항에 있어서, 상기의 복수의 전자 소자 칩들은 동일한 종류의 전자 소자 칩들이나 칩들을 특징으로 하는 웨이퍼 레벨 모듈

**【청구항 11】**

제1 항에 있어서, 상기의 복수의 전자 소자 칩들은 서로 다른 종류의 전자 소자 칩들이나 칩들을 특징으로 하는 웨이퍼 레벨 모듈

**【청구항 12】**

전면과 후면을 구비하는 웨이퍼;

상기 웨이퍼의 상기 전면에 형성되고, 복수개의 스크라이브 라인들에 의해 구분되며, 각각 복수의 칩 패드들과 패시베이션막을 구비하는 복수의 전자 소자 칩들;

상기 패시베이션막 상에 직접 형성되어 상기 복수의 칩 패드들을 상호 일체로 접속하고 상기 전자 소자들을 구동하기 위한 재배선; 및

상기 패시베이션막 상에 직접 형성되어 상기 재배선과 전기적으로 연결되는 외부 접속 단자를 포함하는 웨이퍼 레벨 모듈.

**【청구항 13】**

제12 항에 있어서, 상기 재배선은 다층 배선이고, 상기 다층 배선들은 상기 웨이퍼와 열 팽창 계수가 동일 또는 유사한 절연층에 의해 절연되는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 14】**

제12 항에 있어서, 상기 웨이퍼의 상기 전면에 상기 외부 접속 단자만을 노출시키는 상면 보호재를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 15】**

제12 항 또는 제14 항에 있어서, 상기 웨이퍼의 상기 후면에 후면 보호재를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 16】**

제15 항에 있어서, 상기 후면 보호재와 상기 상면 보호재는 각각 금속 또는 폴리머로 구성된 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 17】**

제16 항에 있어서, 상기 금속으로 이루어진 후면 보호재와 상면 보호재는 열 테이프에 의해 부착된 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 18】**

제12 항에 있어서, 상기 재배선 내에 또는 상기 재배선 상에 직접 형성된 개별적인 수동 소자 또는 상기 수동 소자로 이루어진 회로를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 19】**

제12 항에 있어서, 상기 재배선의 최상층으로 이루어진 랜드에 표면 실장된 개별적인 수동 소자 또는 상기 수동 소자로 이루어진 회로를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈.

**【청구항 20】**

제12 항에 있어서, 상기의 복수의 전자 소자 칩들은 동일한 종류의 전자 소자 칩들이나 것을 특징으로 하는 웨이퍼 레벨 모듈

**【청구항 21】**

제12 항에 있어서, 상기의 복수의 전자 소자 칩들은 서로 다른 종류의 전자 소자 칩들이나 것을 특징으로 하는 웨이퍼 레벨 모듈

**【청구항 22】**

(a) 전면과 후면을 구비하며, 상기 전면에 복수의 전자 소자 칩들을 구비하는 웨이퍼를 제공하는 단계; 및

(b) 상기 복수의 전자 소자 칩들 상에 직접 상기 복수의 전자 소자 칩들을 상호 일체로 접속하기 위한 재배선과 상기 재배선과 전기적으로 연결되는 외부 접속 단자를 함께 형성하는 단계를 포함하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 23】**

제22 항에 있어서, 상기 웨이퍼는 상기 전자 소자 칩들을 구분하는 복수의 스크라이브 라인들을 구비하며, 상기 재배선은 상기 스크라이브 라인들을 가로질러 형성되는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 24】**

제22 항에 있어서, 상기 (b) 단계시 상기 재배선은 상기 웨이퍼와 열 팽창 계수가 동일 또는 유사한 절연층에 의해 절연되는 다층 배선으로 형성하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 25】**

제22 항에 있어서, 상기 (b) 단계 후에, 상기 재배선에 의해 상호 접속된 복수의 전자 소자 칩들로 구성된 모듈 단위로 상기 웨이퍼를 절단하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 26】**

제25 항에 있어서, 상기 절단하는 단계 전에 상기 웨이퍼의 후면을 일부 제거하여 상기 웨이퍼의 두께를 얇게 하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 27】**

제25 항에 있어서, 상기 절단하는 단계 후에 상기 재배선을 완전히 덮고 상기 외부 단자만을 노출시키는 상면 보호재를 형성하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 28】**

제25 항에 있어서, 상기 절단하는 단계 후에 상기 웨이퍼의 후면에 후면 보호재를 형성하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 29】**

제27 항 또는 제28 항에 있어서, 상기 상면 또는 상기 후면 보호재는 금속 또는 폴리머로 형성하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 30】**

제29 항에 있어서, 상기 금속으로 이루어진 후면 보호재와 상면 보호재는 열 테이프에 의해 부착하여 형성하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 31】**

제22 항에 있어서, 상기 (b) 단계는 상기 재배선 및 외부 접속 단자와 함께 개별적인 수동 소자 또는 상기 수동 소자로 이루어진 회로를 형성하는 단계인 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 32】**

제22 항에 있어서, 상기 (b) 단계 후에, 상기 재배선 상에 직접 개별적인 수동 소자 또는 상기 수동 소자로 이루어진 회로를 형성하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 33】**

제22 항에 있어서, 상기 (b) 단계 후에,

상기 재배선을 덮는 절연층을 형성하는 단계;

상기 절연층내에 상기 재배선을 일부 노출시키는 개구부를 형성하여 랜드를 형성하는 단계; 및

상기 랜드에 수동 소자 또는 상기 수동 소자로 이루어진 회로를 표면 실장하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

**【청구항 34】**

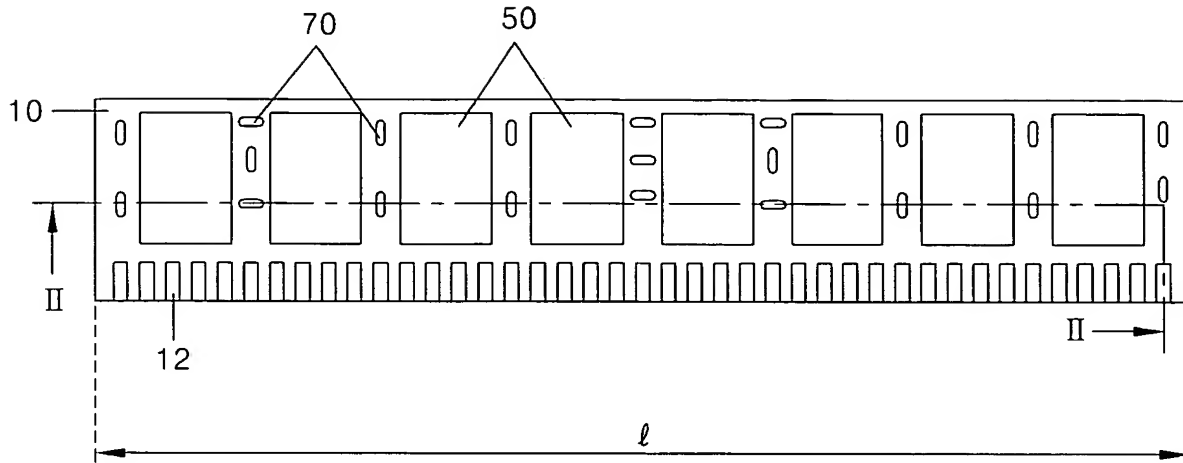
제22 항에 있어서, 상기 웨이퍼상의 상기 전자 소자 칩들은 동일한 종류의 전자 소자 칩들인 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

【청구항 35】

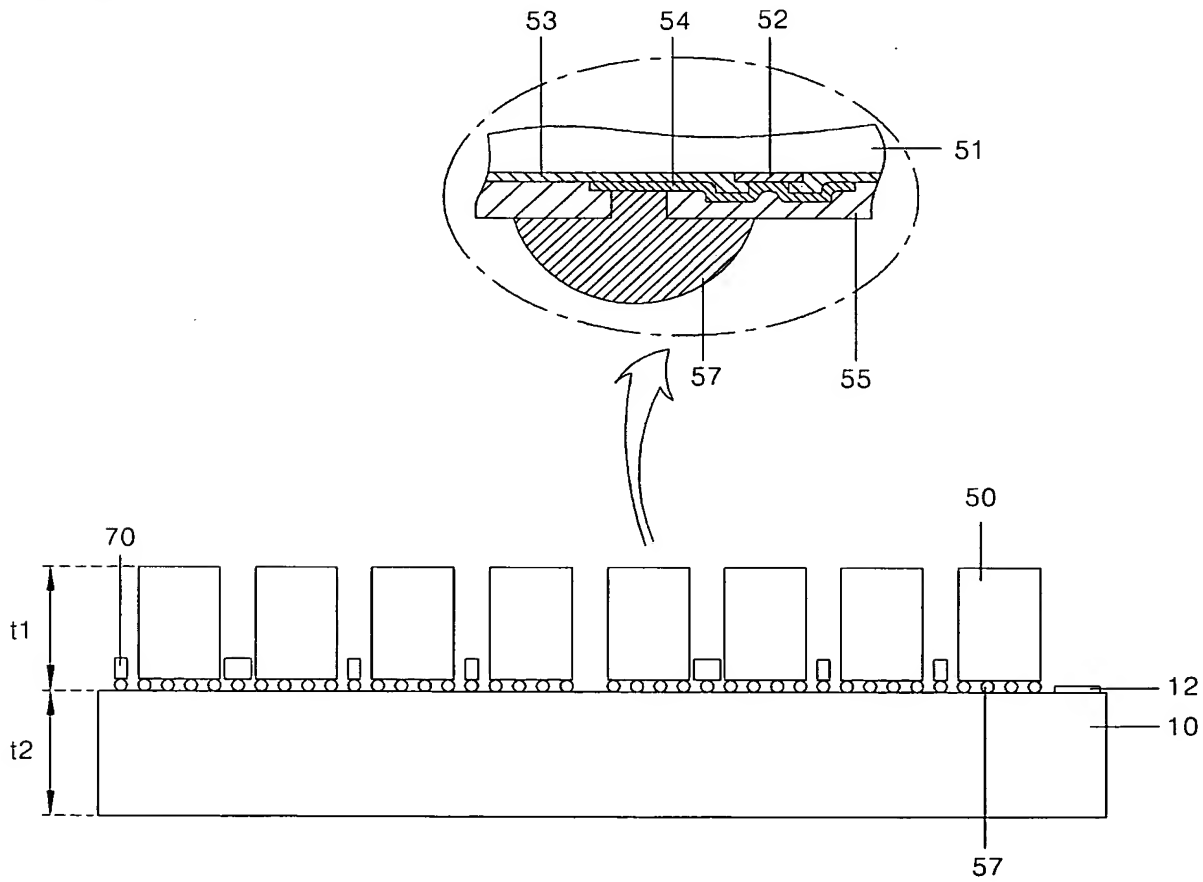
제22 항에 있어서, 상기 웨이퍼상의 상기 전자 소자 칩들은 서로 다른 종류의 전자 소자 칩들인 것을 특징으로 하는 웨이퍼 레벨 모듈의 제조 방법.

## 【도면】

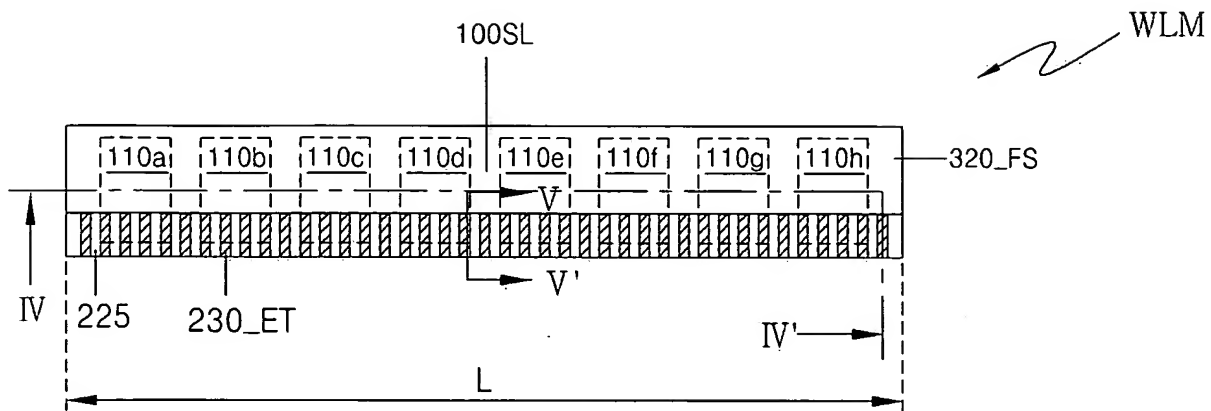
【도 1】



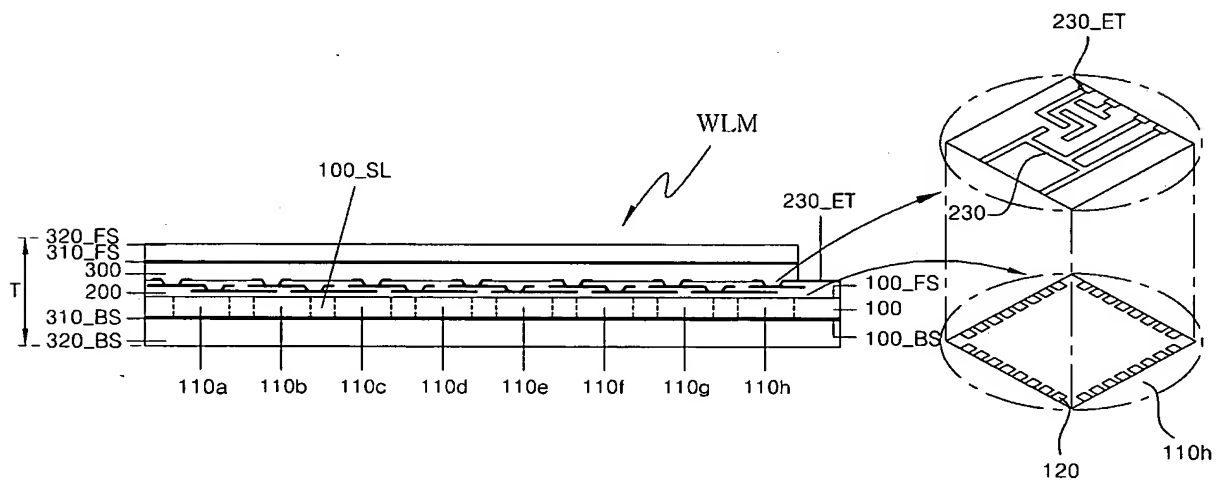
【도 2】



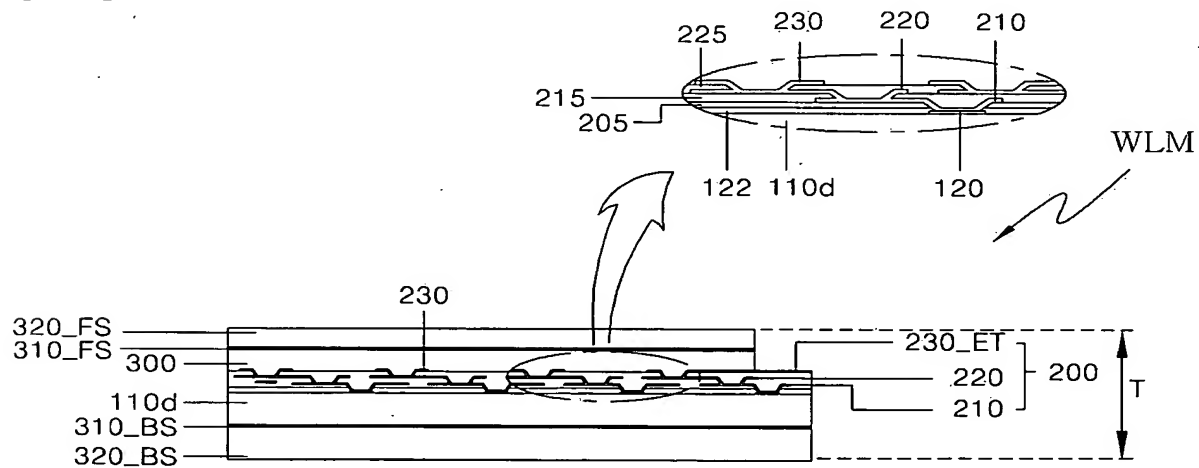
【도 3】



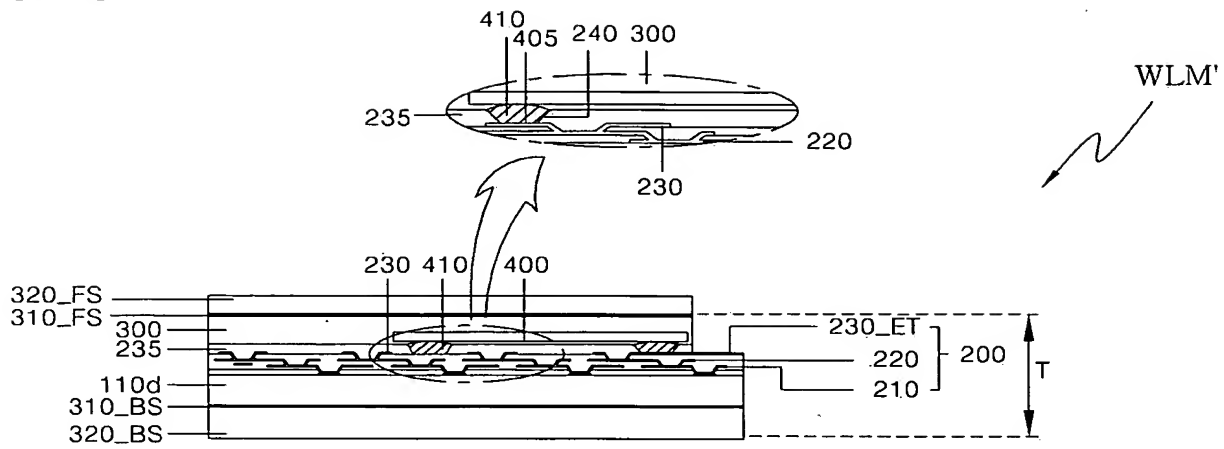
【도 4】



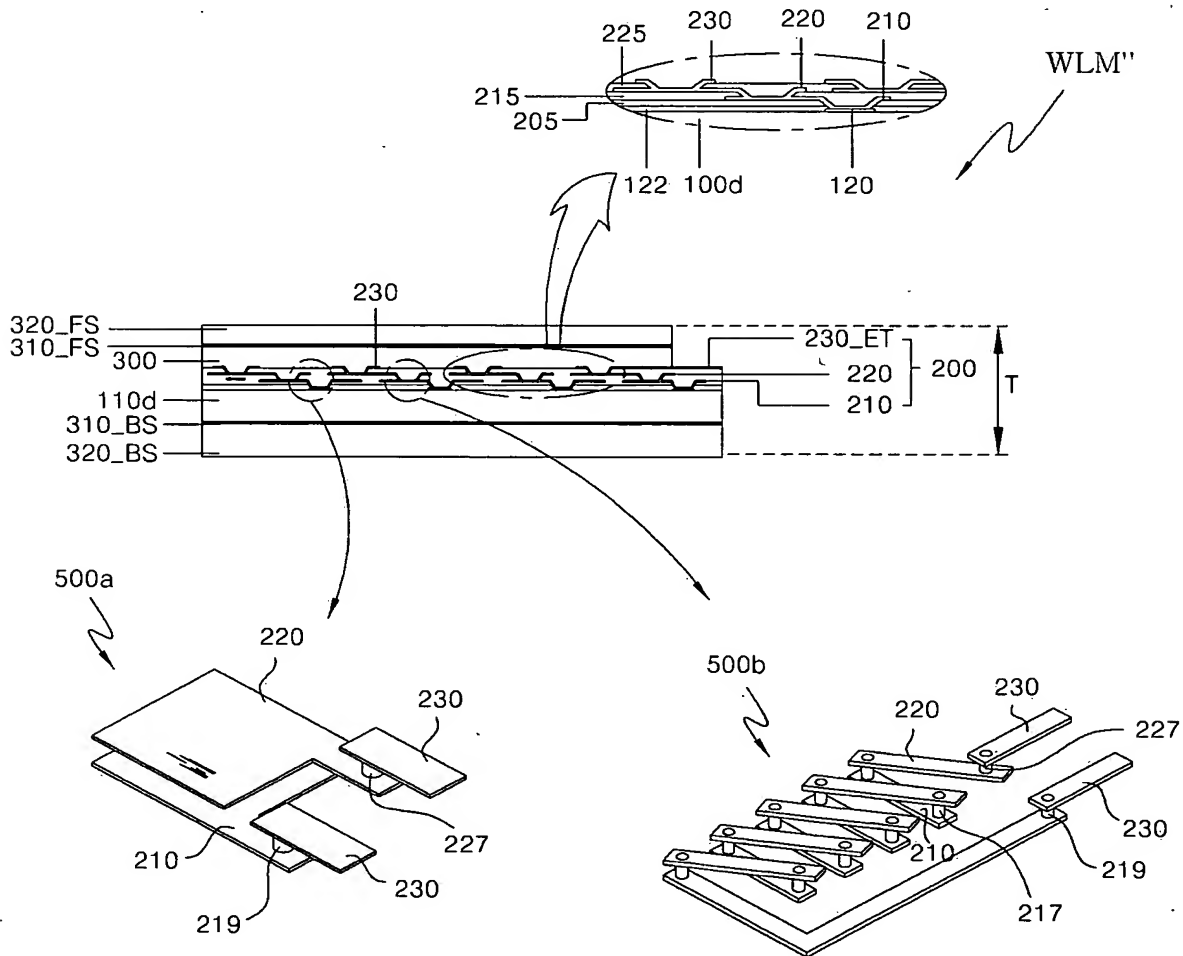
【도 5】



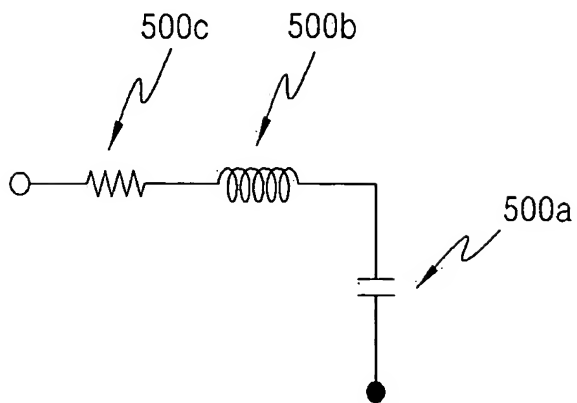
【도 6】



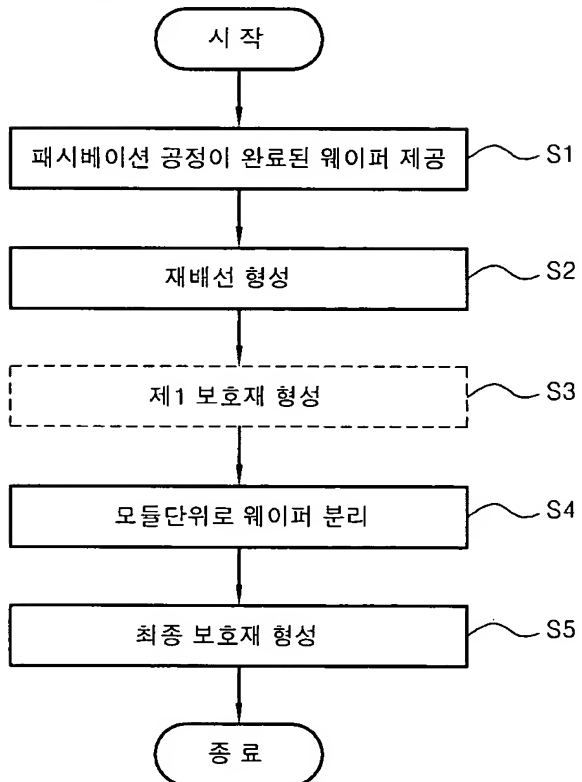
【도 7a】



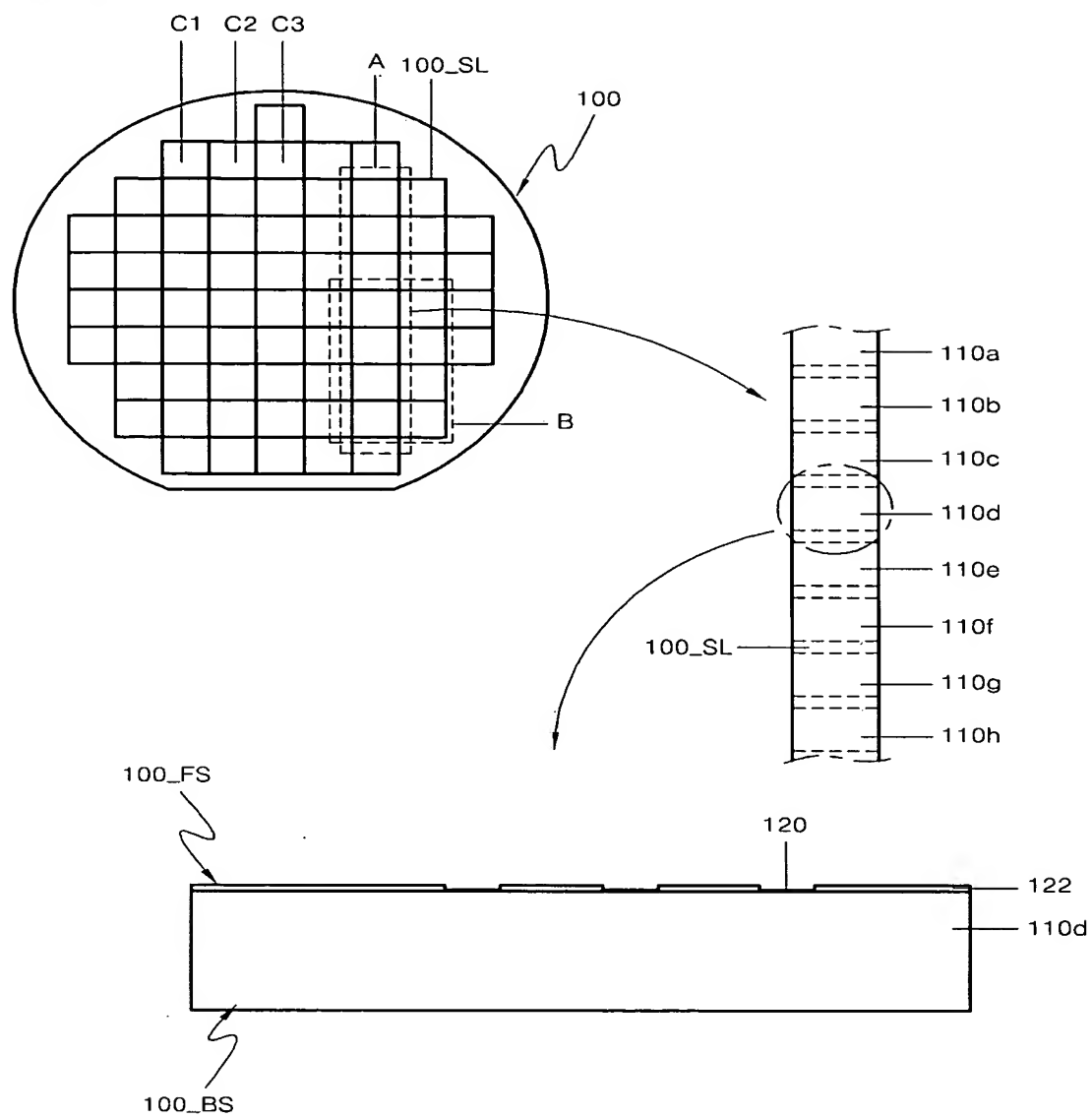
【도 7b】



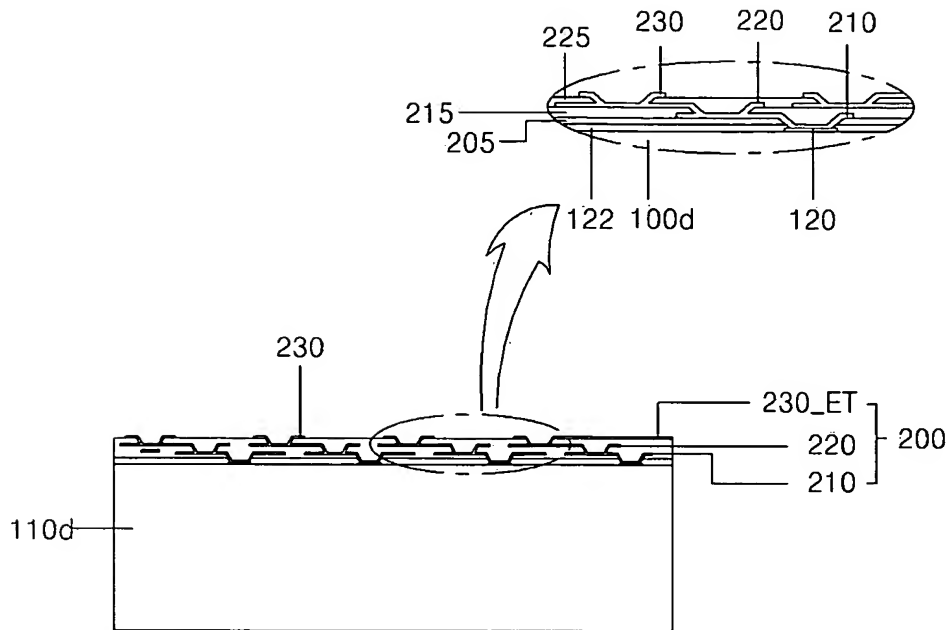
【도 8】



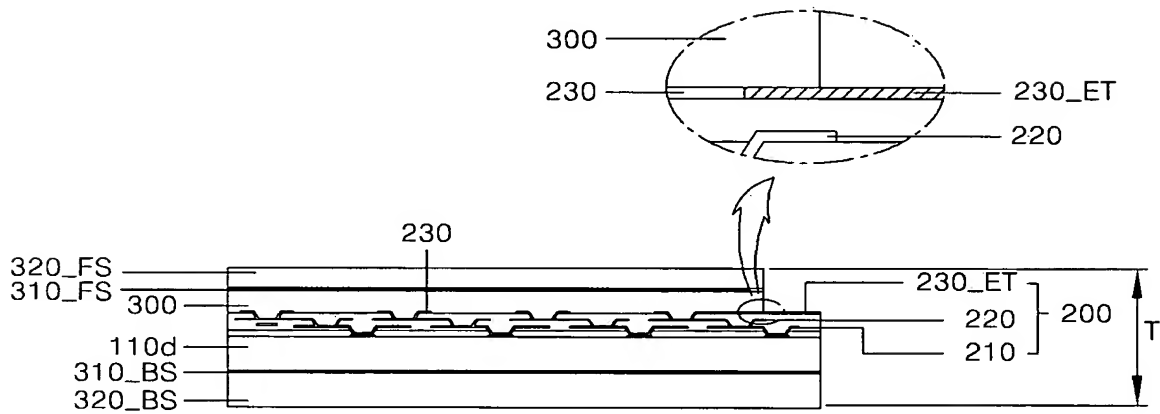
【도 9a】



【도 9b】



【도 9c】



【도 10】

